

La complexité des circuits rend inévitables les outils de conception au niveau système

LES CONFÉRENCES TECHNIQUES ONT FAIT LE PLEIN

■ Comme il est de coutume en cette période de l'année, l'ensemble des acteurs dans les domaines de la CAO électronique et de la propriété intellectuelle (IP) s'est réuni au Cnit Paris-la Défense du 16 au 20 février dernier à l'occasion de l'édition 2004 de la manifestation Date. Cette année encore, les organisateurs du salon ont pu se réjouir de la forte participation aux conférences techniques – 1250 personnes se sont enregistrées, soit une hausse de 6,5% par rapport à l'édition précédente à Munich et de 16,8% par rapport à 2002 –, preuve de l'excellente qualité des papiers retenus et présentés. Rappelons que cette septième édition s'est déjà distinguée par un nombre record de papiers soumis : 702 pour les conférences techniques proprement dites et 78 en ce qui concerne le forum des concepteurs. En parallèle des conférences et des ateliers, l'exposition a rassemblé 119 sociétés, organisations et universités et a accueilli 4 750 visiteurs – dans ces 4 750 personnes, les organisateurs comptent les 1 250 conférenciers. Il s'agit d'un chiffre stable par rapport aux années précédentes, compte tenu du déroulement simultané de la manifestation Embedded World à Nuremberg, des vacances scolaires en France et d'une grève qui a touché les aéroports d'Orly et de Roissy. Le moral était également au beau fixe à la fin de l'exposition du côté des exposants, et notamment des jeunes sociétés. « Nous sommes très satisfaits et surpris par la qualité des contacts pris lors du salon, en espérant que le plus



grand nombre de ces contacts se traduira par des commandes fermes», se réjouit Luc Burgun, CEO et président d'Emulation and Verification Engineering (EVE). Même son de cloche du côté de Vincent Perrier, cofondateur et directeur associé de CoFluent Design, qui ajoute : « Nous avons également pu apercevoir la présence de représentants des sociétés d'investissement. » Rendez-vous est pris du 7 au 11 mars 2005 pour la prochaine édition de Date, qui se tiendra à Munich.

Pour cette édition parisienne du salon Date, les éditeurs présentant des logiciels de conception matérielle-logicielle ont eu toutes les faveurs des visiteurs.

La septième édition de la manifestation Date, consacrée à la conception électronique et à la propriété intellectuelle (IP), vient de se terminer sur une excellente note, tant du point de vue de l'affluence aux conférences et à l'exposition (voir encadré) qu'en matière de nouveautés et de produits présentés. En effet, il y en a eu pour tous les goûts et pour chaque étape du cycle de vie de produits électroniques concrétisée par l'arrivée de l'Allemand Zuken, jusqu'alors éditeur d'outils pour la conception de cartes, jusqu'à la validation par Infineon Technologies d'un circuit de test à architecture X en technologie 0,13µm pour sceller son arrivée au sein du consortium X Initiative, en passant par la mise en œuvre des blocs d'IP – Beach Solutions a introduit au salon un outil permettant la personnalisation des générateurs utilisés pour le développement d'interfaces et la validation des données des systèmes sur une puce –, leur réutilisation et la gestion des blocs d'IP propriétaires et issus de sociétés tierces (Design & Reuse, Synchronicity et Mentor Graphics), sans oublier la gestion des données de design avec ClioSoft et autres. Les fournisseurs d'outils pour la CAO RF, ceux concernés par la conception de circuits analogiques et mixtes étaient également présents. Mais les stands des sociétés proposant des solutions logicielles pour la conception au niveau système furent littéralement pris d'assaut.

Peut-être en raison de l'intérêt tout particulier que porte le marché européen à ce domaine, mais ce n'est pas qu'une question géographique. Les raisons sont également à rechercher dans la complexité accrue des systèmes sur une puce et dans l'intégration étroite entre matériel et logiciel. Et comme les industriels doivent en permanence réduire les coûts et le fameux *time-to-market*, prévoir le plus tôt possible dans le flot de conception tous les aspects d'un design – et éviter ainsi d'éventuels problèmes ultérieurs, nécessitant des itérations supplémentaires onéreuses pour les résoudre – se révèle primordial. « C'est en fait tout mettre en œuvre pour permettre à nos clients de réduire les risques », affirme John MacDermot, directeur du développement de l'activité chez l'Américain CoWare.

Ce dernier a ainsi profité de Date 2004 pour présenter la version 2004.1 de LisaTek, son outil de conception de processeurs enfouis. LisaTek intègre désormais un compilateur C et un générateur de code RTL. « Après avoir décrit le jeu d'instructions



En plus des fournisseurs d'outils de vérification, les éditeurs de plates-formes de prototypage de circuits spécifiques et de conception au niveau système sont satisfaits du salon Date 2004.

et la microarchitecture d'un processeur, le concepteur peut lancer la génération automatique de l'ISS [Instruction Set Simulator] et des outils associés, tels que l'assembleur, l'éditeur de liens, le débogueur et le compilateur C», explique M. MacDermot (CoWare). Mais l'Américain n'est pas le seul acteur dans le domaine de la conception au niveau système, et à être très satisfait du salon. « Pour notre première participation, nous avons pu rencontrer pas mal d'utilisateurs très intéressés par notre logiciel d'exploration architecturale et d'analyse des performances CoFluent Studio [voir notre numéro du 27 novembre 2003] », reconnaît Vincent Perrier, cofondateur et directeur associé de CoFluent Design.

Réduire les risques en prototypage de circuits spécifiques

Sur son stand, la jeune société néerlandaise AdvEDA a, pour sa part, dévoilé pour la première fois tous les charmes de Miss Univers. Il ne s'agissait pas de ceux d'Amelia Vega, mais du logiciel Marvelous Integrated System Simulation. « Miss Univers permet d'accroître la vitesse de simulation matérielle, d'un facteur 100, et assure ainsi que ce simulateur basé sur une précision du cycle et l'ISS tournent sur le même noyau de simulation », résume Cor Shepens, vice-président du marketing et des ventes chez AdvEDA. Résultat : un temps de développement moindre et des coûts plus faibles. Une autre manière d'accélérer la conception d'un système sur une puce est d'optimiser l'intégration de différents niveaux d'abstraction. Dans sa version 2, l'environnement de conception graphique de systèmes sur une puce Magillem (voir notre numéro du 14 mars 2002) du Français Prosilog supporte désormais les niveaux transactionnels en SystemC, ce qui rend possible la création de la plate-forme d'une puce selon différents niveaux d'abstraction en combinant blocs d'IP en HDL et blocs d'IP en SystemC.

A noter aussi, pour la conception de FPGA cette fois, l'introduction de la version 3.0

de la plate-forme DK Design Suite de l'Américain Celoxica. Cette version assure le calcul des compromis vitesse/zone directement à partir des algorithmes complexes écrits en C. Parmi les aspects que l'on peut appréhender au niveau système, la consommation de puissance et sa réduction constituent certainement le facteur le plus à la mode. Il a d'ailleurs été en bonne position dans les thèmes abordés au cours des conférences techniques. Par exemple, la manière dont les algorithmes accèdent aux mémoires peut représenter entre 80% et 90% de la consommation de puissance globale d'un système, affirme-t-on chez CoWare, qui distribue la jeune société américaine PowerEscape. Avec PowerEscape Analyzer, le concepteur est en mesure d'affiner précisément les algorithmes, d'essayer différentes architectures de mémoire et d'antémémoire et de déterminer quelle partie logicielle devrait être accélérée au niveau matériel. Citons également la présence de l'Américain ChipVision Design Systems, autre acteur de la réduction de la consommation avec son logiciel Orinocco (voir notre numéro du 26 juin 2003).

La complexité croissante des systèmes sur une puce engendre des risques à une autre étape du flot de conception, celle du prototypage de circuits spécifiques, comme en témoigne le nombre de nouveautés dans ce domaine. L'Américain Synplicity a ainsi présenté la dernière version d'Amplify Asic, son outil de synthèse physique pour les circuits spécifiques. Cette version intègre la technologie Sensitive Net Analysis and Prevention (SNAP), qui assure une indépendance vis-à-vis des routeurs disponibles sur le marché. « Nous nous intéressons au routage des connexions dites ambiguës, c'est-à-dire de connexions dont le chemin entre les deux points diffère d'un outil à l'autre. La technologie SNAP permet d'identifier les zones ambiguës et de modifier la topologie autour de ces zones pour lever l'ambiguïté », explique André Chaurand, directeur des ventes pour l'Europe du Sud chez Synplicity. De son

●●● côté, Mentor Graphics a présenté les capacités de son outil de synthèse de FPGA complexes Physical Precision Synthesys (voir notre numéro du 29 janvier), tandis que Cadence Design Systems a annoncé le support de VHDL et de Verilog pour sa plateforme Encounter RTL Compiler Ultra. D'autres sociétés encore s'apprêtent à faire des annonces dans le domaine de la synthèse des FPGA pour le prototypage de circuits spécifiques (nous y reviendrons). La forte émulation dans ce domaine s'explique par le fait que près de la moitié des conceptions de circuits spécifiques démarrent par un prototype à base de FPGA et que 70% des concepteurs sous-traitent à un fabricant de circuits l'implantation physique de leur circuit –le placement et le routage, c'est ce que l'on appelle le *hand-off*. Le concepteur, qui n'a plus alors la maîtrise de l'aspect physique, doit disposer d'outils lui permettant de prendre en compte cet aspect avant de générer les fichiers d'interconnexions (*netlist*) destinés au fabricant pour obtenir un design bon du premier coup: la détection d'une erreur chez le fabricant se traduit par un coût de correction très élevé. Parmi les méthodologies existantes, celle de l'Américain Tera Systems vient d'être validée par IBM pour les technologies 0,13µm et 90 nm. «A partir du code RTL, l'outil TeraForme crée un prototype virtuel du silicium, modélisant la logique, le layout et la synchronisation et fournissant des données bonnes pour

Edition. Cette carte PCI est capable d'émuler 600 000 portes Asic à une vitesse de 200 MHz.

La vérification toujours au cœur des préoccupations

Au-delà de la synthèse et du prototypage de circuits spécifiques, le thème récurrent pour n'importe quel concepteur, quel que soit son domaine d'application, reste évidemment la vérification. Parmi les nouveautés présentées lors de la manifestation, retenons la plateforme unifiée du spécialiste américain des assertions 0 In, baptisée Archer. Il s'agit de

l'intégration des outils de vérification basée sur la couverture, de vérification statique par la méthode des preuves formelles, et de la vérification par les assertions. Il fut également question de banc de test avec nBench de l'Américain Novas Software. Cette nouvelle fonction, intégrée dans les logiciels Verdi et Debussy, permet de visualiser, analyser et modifier d'une manière graphique les résultats de tests. «Comme, par exemple, naviguer dans le code source des programmes de test, et annoter les informations sur les événements de la structure de test», souligne Dave Kelf, vice-président du marketing chez Novas Software.

N'oublions pas non plus les aspects *design-for-test* ("conception pour le test" en français) avec la présence de la jeune pousse française GeTeDes Technologies, la génération de *patterns* algorithmiques combinée avec un analyseur de logique en temps réel sur le stand d'Innova Scan, l'instrumentation de FPGA avec des outils d'analyse sous forme de blocs d'IP du Français Temento, ou la conception de cartes avec le vérificateur de règles de dessin hiérarchique HiPer Verify que Tanner EDA (distribué par EDA Solution) a introduit pour son logiciel de placement-routage L-Edit. **Cédric Lardière** ■



D.R.

Les conférences techniques ont été suivies par 1 250 personnes.

l'implantation», rappelle Alain Labat, président et CEO de Tera Systems. IBM affirme ainsi avoir réduit de moitié le temps nécessaire de mise sur le marché.

En ce qui concerne le débogage des prototypes de circuits spécifiques, le Suédois Hardi Electronics a étendu sa famille de plate-formes HAPS avec trois cartes filles. Présentées à la Date, ces dernières ajoutent des fonctionnalités d'interfaces Ethernet, USB (ETH_USB_1x1), d'entrées/sorties audio et vidéo analogiques (AVID_1x1) et de configuration avec une capacité de huit conceptions stockées sur une carte Compactflash (CONF_1x1). Les concepteurs évitent ainsi de développer une partie matérielle supplémentaire pour l'une de ces trois fonctionnalités. Sur le stand de l'Allemand ProDesign, il était possible de voir l'ensemble de la gamme de cartes et de systèmes de prototypage ChipIt et notamment la dernière carte Silver