

Compte rendu

DATE 2005

Le nanométrique impose une évolution des méthodologies de conception

Les problèmes apparus avec les technologies 90nm, et exacerbés par les motifs plus fins, poussent les industriels à intégrer d'une manière plus étroite conception et fabrication, aspects physique et système, en fait, à gérer le chaos de l'environnement d'une conception.

Munich – Avec les technologies 65 nm et moins, il n'est plus envisageable de faire l'impasse sur une seule des étapes du flot de conception d'un système sur une puce, quelle que soit cette étape. Depuis l'apparition des premiers circuits en technologie 90 nm, concepteurs et fournisseurs d'outils de CAO sont confrontés à de nouvelles difficultés, des problèmes qui n'avaient jusque-là qu'un impact négligeable. On peut citer, par exemple, l'intégrité du signal, les pertes de puissance ou les limitations au niveau des jeux de masques. Parallèlement, avec la prolifération des équipements électroniques nomades aux multiples fonctionnalités, les systèmes sur une puce sont de plus en plus complexes et associent matériel et logiciel, imposant, au niveau de leur conception, des niveaux d'abstraction plus élevés, et d'être en mesure d'explorer et d'optimiser le plus tôt possible les architectures. Si on ajoute à tout cela de nouveaux standards et langages de conception, des techniques de vérification chamboulant les méthodologies traditionnelles (assertions, couverture...), «l'environnement d'une conception ressemble à un véritable chaos», constate Garry Hughes, vice-président du groupe Systems and Technology pour les solutions de circuits intégrés et de fonderie chez IBM.

Il faut donc trouver des réponses permettant de gérer ce chaos car, dans le cas contraire, l'écart entre ce qu'il est possible techniquement de fabriquer et ce que per-

mettent les outils de conception continuera à se creuser. «*Cet écart est déjà relativement important. Le nombre de portes concevables atteint 55 millions, alors qu'il est possible de réaliser des circuits avec près de 250 millions de portes avec les technologies existant en 2005-2006*», rappelle John MacDermott, directeur du développement commercial chez CoWare, en se référant à une étude de Gartner Dataquest. Une autre raison doit pousser les industriels à faire évoluer leurs méthodologies de conception. Il s'agit de la réduction du coût par transistor grâce, notamment, à la diminution de la taille des puces. «*Le véritable coût par transistor, pris en compte sur les six premiers mois de production, n'est pas aussi bas que celui calculé à long terme. Les industriels doivent faire en sorte de réduire cet écart afin d'atteindre des bénéfices plus en adéquation avec les prévisions et plus importants*», explique Jeong-Taek Kong, vice-président de la CAO au sein de l'activité semiconducteurs de Samsung Electronics.

Rapprocher la conception de la fabrication et vice versa

L'un des principaux domaines sur lesquels fournisseurs d'outils et industriels travaillent depuis quelque temps pour gérer le chaos évoqué par M. Hughes (IBM) est celui des relations entre la conception et la fabrication. Concevoir un système sur une puce est une chose. Réussir sa fabrication en est une autre, tout particulièrement en technologies nanométriques. A 90 nm et surtout à partir de 65 nm, les géométries sont si fines que les techniques actuelles pour la création des jeux de masques ne peuvent plus suivre. Des phénomènes physiques, comme celui de diffraction, modifient la géométrie et les dimensions des interconnexions, entraînant une baisse du rendement des performances du circuit, voire la perte des spécifications critiques en termes de séquencement ou de puissance. Ces variations du process de fabrication sont déjà prises en compte, mais la remontée de ce type d'informations vers la



L'édition munichoise de DATE a rassemblé près de 1 500 conférenciers et plus de 2 100 visiteurs.

conception n'est pas encore véritablement aussi facile et évidente que les concepts génériques de conception pour la fabrication (*design for manufacturability*, ou DFM) et de conception pour le rendement (*design for yield*, ou DFY) peuvent le laisser croire. C'est la raison pour laquelle de jeunes sociétés – comme les grands acteurs du marché de la CAO d'ailleurs – se sont engouffrées dans la brèche. Parmi ces jeunes pousses, l'Allemand MunEDA a présenté au salon son logiciel WiCkeD, destiné au DFM et au DFY des circuits analogiques et mixtes, et l'Américain Aprio Technologies (voir notre numéro du 18 novembre 2004) a dévoilé pour la première fois en Europe sa suite logicielle Halo (nous y reviendrons dans un prochain numéro). «*Halo-OPC, Halo-Sim et Halo-Cal sont les premiers outils pour la fabrication travaillant sur l'ensemble d'un circuit et prenant en compte des aspects de la conception (design-aware manufacturing)*. Il s'agit d'une première étape,

la suivante étant le *manufacturing-aware design*», annonce Mike Gianfagna, président et CEO d'Aprio Technologies.

Après le DFM et le DFY, le DFT (re)fait parler de lui

De tels outils ne peuvent bien fonctionner sans un modèle de données associé à une base de données commune. Pour Aprio Technologies, il s'agit d'un modèle et d'une base de données propriétaires, mais l'organisation Silicon Integration Initiative (Si2), qui est en charge d'OpenAccess, compte sur la Design-to-Manufacturing Coalition (DTMC) pour faire avancer les choses. «*Il s'agit en fait d'étendre OpenAccess et le concept de modèle de données unique (UDM) à la fabrication. Une meilleure communication de l'ensemble des informations (conception, masques et process) assurera la réduction du coût des masques et l'amélioration du rendement*», indique Steven Schulz, président et CEO de Si2.

Mais pourquoi s'arrêter aux relations entre conception et fabrication, alors qu'il existe encore une étape après, à savoir le test? C'est ce que se sont dit des fournisseurs d'outils de CAO tels que les Américains Synopsys et Cadence Design Systems, ainsi que le Français Defacto Technologies. Synopsys a en effet profité de la manifestation DATE pour introduire DFT Compiler MAX, une version de DFT Compiler complétée de la compression des données de test (nous y reviendrons dans un prochain numéro). «*Grâce à la technologie Adaptive Scan, développée spécialement pour cette version, DFT Compiler MAX assure un taux de compression entre 10 et 50, sans impact sur le séquencement*», explique Fabienne Desbouvries, responsable du marketing pour les produits d'automatisation du test chez Synopsys. De son côté, Cadence Design Systems a présenté sur son stand Encounter Test Architect. «*C'est*



De nombreuses annonces et préannonces ont été dévoilées sur le salon, mais pas forcément dans une ambiance «passionnée».

le premier outil sur le marché reposant sur une méthodologie de test "unifiée" pour l'ensemble d'un circuit et intégrant un seul compilateur pour le scan, le BIST [built-in self test], le boundary scan, le test des entrées/sorties et la génération d'horloge», résume David Stannard, directeur du marketing pour l'activité DFT chez Cadence Design Systems. A noter que l'Américain Magma Design Automation ne sera pas en reste, dans le domaine du DFT, et plus généralement pour l'ensemble de ses outils d'implémentation et d'analyses. «Nous allons introduire d'ici à quelques mois toute

une suite d'outils, nouvelles versions ou nouveaux produits, reposant sur la technologie statistique –et non plus statique– connue seulement sous le nom de code Cobra», annonce Rajeev Madhavan, CEO de Magma Design Automation. En ce qui concerne la jeune pousse française Defacto Technologies, basée à Valence (Drôme), elle a fait ses premiers pas officiels à l'occasion de DATE avec des outils d'insertion de scan et de BIST, avant la synthèse, au niveau d'abstraction RTL et non plus à celui des portes. Cette méthodologie permet, selon la société, de réduire de 90% le

temps d'implémentation du test. Le besoin de "gérer le chaos de l'environnement d'une conception" n'est pas l'apanage de ce côté-ci d'un flot de conception. Au niveau système^(*) (Electronic System Level, ou ESL), industriels et fournisseurs d'outils veulent être en mesure de prendre en compte le plus tôt possible certains aspects physiques. A l'instar de la consom-

mation, puisque les applications nomades imposent des contraintes drastiques en termes d'alimentation. «Avec des flots centrés sur la puissance, ou power-aware, dès le niveau système, l'analyse de la consommation avec une exécution RTL ne prendra que quelques secondes au lieu de plusieurs jours», affirme Vic Kulkarni, président et CEO de Sequence Design. **Cédric Lardière** ■

(*) Le secteur de la conception au niveau système est l'un des plus actifs avec un nombre important de sociétés présentes, comme les Américains Novas Software, et sa solution de débogage nESL, Vast Technologies et

Calypto (voir notre numéro du 3 février), les Français Prosilog et CoFluent Design (voir notre numéro du 10 mars), les Britanniques Celoxica, SpiraTech et Ignios (voir notre numéro du 2 décembre 2004).

UNE ÉDITION 2005 ENGOURDIE PAR LE FROID ET LA NEIGE MUNICHOIS ?

■ L'édition 2005 de la manifestation DATE, qui a rassemblé tous les acteurs dans les domaines de la CAO électronique et de la propriété intellectuelle (IP) à Munich du 8 au 10 mars dernier, ne s'est pas vraiment distinguée par une ambiance "passionnée" dans les allées et sur les stands. Faut-il voir dans la présence du manteau neigeux recouvrant la région ou dans la situation économique, un peu plus difficile, que traverse le marché de la CAO actuellement des raisons à ce manque d'agitation ? Peut-être. Malgré tout, les organisateurs se sont déjà réjouis de l'excellente qualité des 176 présentations, des 51 papiers destinés au forum des concepteurs et des 68 présentations interactives, une conséquence du nombre croissant de papiers soumis (726 pour les conférences et 99



Les conférences techniques, d'une excellente qualité, sont le point fort de la manifestation européenne DATE.

pour le forum, au lieu de 702 et 78 il y a un an). Autre sujet de satisfaction, la première apparition de 28 fournisseurs, sur un total de près de 115 exposants (un chiffre stable par rapport à l'année précédente), prouve qu'un salon européen a plus que sa place dans le paysage mondial de la CAO, en attendant confirmation, ou infirmation, avec les résultats en termes de fréquentation aux conférences et à l'exposition. Rendez-vous est donc pris du 6 au 10 mars 2006 pour la prochaine édition de DATE, qui se tiendra à Munich de nouveau et non à Paris, comme il était de rigueur depuis quelques années.