

CIRCUITS

Le déploiement d'outils de vérification passe par une méthodologie et des partenariats

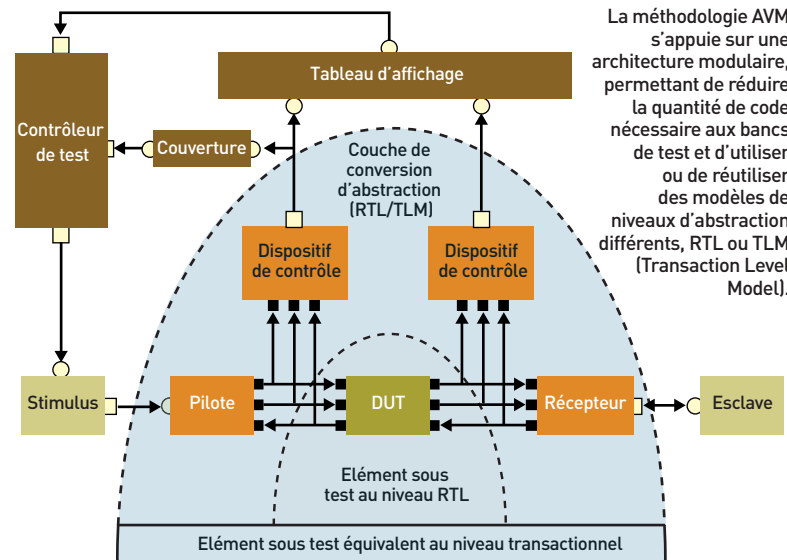
Avec une nouvelle méthodologie, un programme de partenariats et la version 6.2 de Questa, Mentor Graphics lance la dernière génération de ses solutions pour la vérification fonctionnelle.

Après 25 ans d'existence, l'Américain Mentor Graphics fait toujours preuve de dynamisme. Derniers exemples en date, l'Advanced Verification Methodology (AVM) et la version 6.2 de Questa, associées au Questa Vanguard Program (QVP), forment la nouvelle génération de solutions pour la vérification fonctionnelle de Mentor Graphics. « Ces dernières années, la taille et la complexité des circuits ont explosé et, de facto, le nombre de méthodologies et de techniques de vérification aussi. Les concepteurs ont besoin d'aide pour mieux comprendre ces nouvelles technologies, vérifier leurs designs, vérifier les outils de vérification et essayer de respecter les délais », affirme John Lenyo, directeur du marketing pour la division Vérification et Test de conceptions chez Mentor Graphics.

Première brique de la nouvelle offre de la société, la méthodologie AVM rassemble les techniques de génération de stimuli aléatoires sous contraintes, de couverture fonctionnelle et d'assertions dans un seul environnement basé sur une modélisation transactionnelle en SystemC et SystemVerilog. Cette méthodologie, qui s'appuie sur une programmation orientée objet et une architecture modulaire, comprend un guide d'utilisation, le code source des bibliothèques de classes de base, des utilitaires et des exemples d'implémentation. « Il s'agit de la première

L'Advanced Verification Methodology (AVM)

Source : Mentor Graphics



La méthodologie AVM s'appuie sur une architecture modulaire, permettant de réduire la quantité de code nécessaire aux bancs de test et d'utiliser ou de réutiliser des modèles de niveaux d'abstraction différents, RTL ou TLM (Transaction Level Model).

méthodologie disponible sur le marché, dont le code source est accessible sous licence Apache 2.0, contrairement au Verification Manual Methodology (VMM) de Synopsys », précise M. Lenyo. L'objectif de la méthodologie AVM, qui ressemble à celui du système de connaissance Incisive Plan-to-Closure de l'Américain Cadence Design Systems (voir EI n° 626), est d'éviter une mauvaise

interprétation des spécifications entre les développeurs système et les concepteurs matériel, de réduire la quantité de code nécessaire aux bancs de test, donc le risque d'erreurs, et de réutiliser des blocs, l'architecture pouvant accueillir des modèles de niveaux d'abstraction différents selon le compromis performances/précision.

La méthodologie AVM va de pair avec l'environnement de vérification

Questa (simulation, assertions PSL et SystemVerilog, génération de contraintes, couverture fonctionnelle ; voir EI n° 606), dont la dernière version 6.2, bénéficie de fonctionnalités supplémentaires.

Une base de données de couverture unifiée

En plus du support complet de SystemVerilog et de performances améliorées, Questa 6.2 intègre une seule et unique base de données pour la couverture au lieu d'une base pour chaque outil. L'UCDB (unified coverage database) permet de regrouper les informations issues de Questa, de Seamless et des outils 0 In (vérification statique par les preuves formelles), évitant les tâches manuelles de collecte des données, ainsi que les vérifications redondantes. « Cette base de données intègre également des API en écriture ou en lecture permettant à des outils de tierces parties de s'interfacer », indique David Molter, ingénieur d'applications chez Mentor Graphics France. Troisième et dernière pierre de l'offre en vérification de Mentor Graphics, le programme QVP permet à la société de s'appuyer sur plus d'une vingtaine de partenaires pour la promotion et l'adoption des méthodologies et techniques de vérification, pour la mise en œuvre, la formation, le support d'AVM et de Questa.

CÉDRIC LARDIÈRE

SYSTÈME

La voie pour la synthèse au niveau système en SystemC est grande ouverte

Les extensions de synthèse apportées au langage SystemC via ESE et ESE Pro de Bluespec assurent la modélisation et la simulation des fonctions de contrôle et des chemins de données complexes.

La jeune pousse américaine Bluespec s'est fait connaître, dans son pays dans un premier temps, comme fournisseur d'outils pour la synthèse au niveau système (ESL) – en SystemVerilog – de logiques de contrôle et de chemins de données. La société vient de lancer, sous le nom d'ESL Synthesis Extensions (ESE), une solution pour le langage SystemC. « Hor-

mis pour les algorithmes, il n'existe pas sur le marché d'outils pour la synthèse en SystemC. Les concepteurs sont en mesure de modéliser et d'analyser des architectures de leur circuit au niveau transactionnel, mais ils doivent ensuite réécrire le code pour l'implémentation, source d'erreurs supplémentaires, et uniquement pour une microarchitecture donnée », constate

George Harper, vice-président du marketing de Bluespec.

Modéliser les accès simultanés

Pour rendre la synthèse possible, mais pas encore pour la réaliser – une annonce est prévue dans ce sens pour les prochains mois –, ESE et ESE Pro apportent au SystemC des transactions atomiques, ou règles, et des

méthodes d'interface formelle automatisée. « Il est ainsi plus facile de modéliser les accès simultanés et les communications qu'avec les méthodes actuelles d'un niveau trop faible, à savoir les tâches élémentaires et les événements », explique M. Harper.

Autre avantage, les concepteurs n'ont plus à s'occuper de la planification et de la détection de blocages et d'interblocages. La solution ESE est disponible sous la forme d'une version gratuite et de la version ESE Pro payante (35 000 \$ la licence annuelle) pour une simulation sous contraintes temporelles avec n'importe quel simulateur OSCI du marché.

CÉDRIC LARDIÈRE